



## HDL 記述による設計法をマスターする 実験で学ぶロジック回路設計

木村 真也  
Shinya Kimura

### 第4回 CPLD にロジック回路を書き込む

前回は、HDL 学習の前準備として本誌の付録基板 (2006年4月号) を搭載する実験基板 HDL-CQ1 を製作し (写真4-1)、さらに基板上の LED やスイッチに繋がる CPLD の各端子と内部の HDL モジュールの関連付けを行いました。

今回は、HDL から回路データを生成するツールをパソコンにインストールします。さらに、LED 点滅回路を CPLD に書き込んで、実際に動作をさせてみます。

〈編集部〉

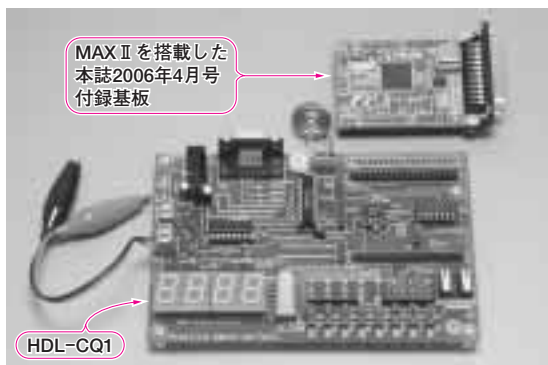


写真4-1 製作したロジック回路実習ボード (HDL-CQ1) に回路を書き込む

実験に必要なこれらのキットを有償で頒布予定。詳細は下記ウェブ・ページを参照ください。 <http://www.p-ban.com/toragi.html>

### 書き込みまでの作業の流れ

図4-1に、HDL ファイルが完成したあとから、CPLD (MAX II) に回路を書き込むまでに必要となる作業手順を示します。これらは、MAX II の統合開発ツール (Quartus II) での作業になります。他の CPLD

設計フロー	Quartus II のメニュー
① 解析	[Processing] - [Start] - [Analysis and Elaboration]
② 端子・ピン番号設定	[Assignments] - [Pins]
③ 論理合成	[Processing] - [Start] - [Analysis and Synthesis]
④ 配置配線	[Processing] - [Start] - [Fitter]
⑤ ダウンロード用ファイルの生成	[Processing] - [Start] - [Assembler]
⑥ ダウンロード	[Tools] - [Programmer]

図4-1 HDL ファイルが完成したあとから MAX II に回路を書き込むまでに必要な作業

### Keyword 1

### CPLD

Complex Programmable Logic Device の略語で、直訳すると「複合した (複雑な) プログラマブル・ロジック・デバイス」となります。

PAL (MMI 社) や GAL (ラティスセミコンダクター) に代表される初期のプログラマブル・ロジック・デバイスは、デコーダやカウンタなどを作れる程度のごく小規模なもので、SPLD (Small PLD) とも呼ばれていました。SPLD は、ロジック部とフリップフロップで構成された数個から 10 個程度のブロックで構成されています。組み合わせ回路や、フリップフロップで AND-OR アレイの出力を記憶すること

で、レジスタやカウンタ、順序回路を自在に実現できます。ロジック部は論理式に対応できるプログラマブルな AND-OR アレイで構成されています。これは、和項 (OR 部の入力数) に制約があります。AND-OR アレイ部には EEPROM があり、設定により配線を接続/切断することができ、希望どおりのロジックを構成できます。フリップフロップの出力を入力にフィードバック接続することもできます。

その後、この SPLD を複数個集積し、相互接続できる CPLD が開発されました。SPLD に相当する部分をロジック

やFPGAを開発するときの流れもほぼ同様です。

## ① プロジェクト・ファイルの作成と設定

プロジェクトとは、作業フォルダや関連ファイル、実装ターゲット・デバイスなどをひとまとめにして、設計する回路に関する情報をすべて一括管理するファイルです。

プロジェクトを作成する前に、HDLファイルを作成フォルダに入れると効率が良いでしょう。もちろん後からHDLファイルを追加することもできます。

デバイスに書き込む作業をするときにはすでに、シミュレーションを終えているはずですから、プロジェクトを作成する時点では、書き込むべきHDLファイルはほぼ完成していることが多いでしょう。シミュレーションに必要なテスト・ベンチ・ファイルはこのフォルダにあってかまいませんが、一般にプロジェクトへは登録しません。プロジェクト情報は拡張子が.qpfとなるファイルに保存されています。

## ② 論理合成

HDLファイルを解析して、基本部品とそれらの接続に変換する作業です。Quartus IIにこの機能を持つソフトウェアが組み込まれています。

## ③ 配置配線

論理合成の結果得られた「基本部品とそれらの接続」をCPLD上の回路構成に対応させ結線情報を生成する作業です。Quartus IIにこの機能を持つソフトウェアが組み込まれています。

## ④ プログラム用ファイルの生成

CPLDへ書き込む(転送する)回路情報を生成する作業です。できあがるファイルをプログラム・ファイルと呼んでいます。コンフィグレーション・ファイルと呼ぶこともあります。Quartus IIにこの機能を持つソフトウェアが組み込まれています。

## ⑤ プログラム用ファイルのCPLDへの書き込み

実際にCPLDへ回路情報を書き込む作業です。作業内容を指定して開始ボタンをクリックすると、CPLDへのダウンロードが始まり、終了するとCPLDが自動的に機能を開始します。

なお、前回製作したロジック回路実習ボード上に実験回路を実装する場合、この作業の前に信号とCPLDの端子番号を関連付ける必要があります。これは、Quartus IIの論理合成後にできるファイル(拡張子.qsf)にこの関連付け情報を追加する必要があります。詳しくはp.215を参照してください。

### 作業の詳細

これから、Quartus IIの操作方法を解説します。Quartus IIは本誌2006年4月号などを参考にインストール済みとします。

## ■ プロジェクトの作成/HDLファイルの呼び出し/使用デバイスの指定

### ● プロジェクトの作成

Quartus II 5.1 Web Edition Fullのアイコンをクリックして起動します。

まず、プロジェクトを作成します。Quartus IIが起動したら、メニュー・バーから[File] - [New Project Wizard...]を選択して実行します(図4-2)。最初に現れるウィンドウ(図4-3)は単なる説明なので、[Next]ボタンをクリックして次へ進みます。

ディレクトリ(フォルダ)、プロジェクト名、トップ・モジュール名を指定するウィンドウが現れます(図4-4)。適宜、指定してください。トップ・モジュール名はMAX2top(MAX2top2001.vにあるモジュール)です。指定後、[Next]ボタンをクリックします。

### Keyword 1

### CPLD(つづき)

ク・アレイ・ブロック(LAB)などと呼び、相互配線部をグローバル配線領域などと呼んでいます(図4-A)。

最近の一般的なCPLDの特徴として、次の点があげられます。

- 内部のEEPROMやフラッシュROMに回路情報を設定しておき、電源を投入してすぐに動作する
- 入力端子から出力端子までの信号伝播遅延時間が一定

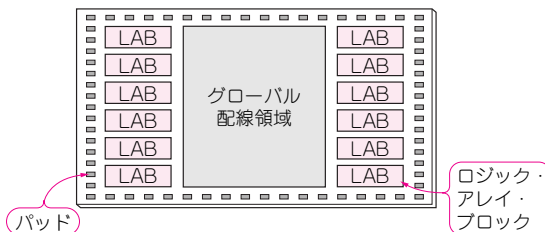


図4-A CPLDの内部構造例

LABはロジック部とフリップフロップで構成された回路が数~約10個集まったブロックが複数個集積されている