

マイコン・システムのしくみを基礎から理解する

6502 マイコン・ボード製作記

〈第5回〉6502の信号と
バス・タイミング(前編)

桑野 雅彦
Masahiko Kuwano

前回までで、6502マイコン・ボードのおおまかな設計方針が決まりました。

今回からは、ハードウェア設計の本論に入ります。今回と次回は、ハードウェア設計に欠かせない6502の動作タイミングについて解説します。

CPUのバス・アクセス動作

まず、かなめとなるCPUのバス・アクセス動作から見ていきましょう。CPUの基本的な動作は、大きく分けると以下ようになります。

- メモリからのプログラムの読み込み(オペコード・フェッチ)
- メモリへの単一ライト・データ
- メモリからの単一リード・データ
- 割り込み応答などの特殊サイクル
- バス・ホールド・サイクル

このほか、キャッシュ・メモリを内蔵しているCPUでは、外部バス・アクセスでキャッシュの1ラインぶん(通常4ワードぶん)をまとめて読み出すバースト・リード/ライトを行うものもあります。6502はキャッシュを内蔵していないので、バースト・リード/ライト動作はありません。

閑話休題。Z80はDRAMリフレッシュ機能があり、オペコード・フェッチとリード・データのサイクルが異なっていました。オペコード・フェッチは4クロックで、2クロック目の終わりにデータを取るようになっています。しかし、通常のリード・データの場合には3クロックで、3クロック目の途中で取るようになっています。したがって、クロックの半サイクルぶん、オペコード・フェッチのほうがタイミングが厳しくなっていました。

Z80のようなタイプのCPUは珍しく、ステータス

信号などでどちらであるかが判定できるようになっているほかは、オペコード・フェッチもリード・データも同様のバス・サイクルになっているのが一般的です。6502も、後述(次回)するSYNC端子の状態が異なる以外は同じ動作になっています。

CPUの信号とその役割 ①

CPUにはどのような信号端子があるのでしょうか。

図5-1が今回使用した6502の端子配置、そして表5-1が各信号端子を種別ごとに整理したものです。各信号を詳しく見ていきましょう。

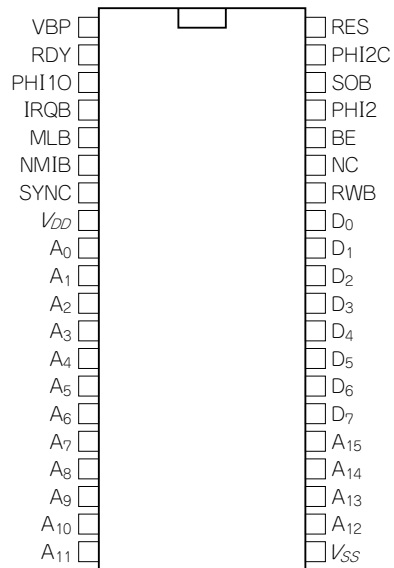


図5-1 W65C02Sの端子配置(40ピンPDIP)

Keywords

6502, バス・タイミング, オペコード・フェッチ, バス・ホールド・サイクル, Address Bus, アドレス・バス, リトル・エンディアン, ビッグ・エンディアン, バイト・イネーブル, バス・イネーブル, DMA, Data Bus, データ・バス

表 5-1 W65C02S の各信号と意味

信号名	入出力	意 味	備 考
A ₀ ~A ₁₅	出力	アドレス・バス	
BE	入力	バス・イネーブル	
D ₀ ~D ₇	双方向	データ・バス	
IRQB	入力	マスク可能割り込み入力	“L” で割り込み要求
MLB	入力	メモリ・ロック	リード・モディファイ・ライト・サイクル(メモリに対する数値演算/論理演算など)時に “L”
NC	—	未接続	
NMIB	入力	マスク不可割り込み入力	立ち下がりエッジでNMI発生
PHI1O	出力	フェーズ1クロック出力	PHI2Oの反転クロック(使用は推奨されない)
PHI2	入力	フェーズ2クロック入力	クロック入力
PHI2O	出力	フェーズ2クロック出力	PHI2から生成されるクロック(使用は推奨されない)
RDY	双方向	レディ	PHI2の立ち下がりエッジで “L” ならば次の立ち下がりエッジまで現在のバス状態維持
RESB	入力	リセット	“L” でCPUをリセット
RWB	出力	リード/ライト	リード動作時に “H”, ライト動作時に “L”
SOB	入力	セット・オーバーフロー・フラグ	立ち下がりエッジでCPUのフラグ・レジスタのオーバーフロー(V)ビットを ‘1’ にする(使用は推奨されない)
SYNC	出力	シンクロナイズ	命令フェッチ・サイクル時に “H”
V _{DD}	—	電源(+)	
VBP	出力	ベクタ・プル	割り込みベクタ領域リード時に “L”
V _{SS}	—	電源(0V)	

表 5-2 アドレスのアクセスとアクセスされるビットの関係
(データ・バスがD₀~D₁₅でリトル・エンディアンの場合)

アドレスのアクセス	アクセスされるビット
\$8000 番地をワード・アクセス	上位8ビット, 下位8ビットともアクセス
\$8000 番地をバイト・アクセス	下位8ビットのみアクセス
\$8001 番地をバイト・アクセス	上位8ビットのみアクセス

● A₀~A₁₅ (Address Bus)

アドレス・バスです。アクセスしたいメモリ・アドレスの指定を行います。6502は8ビットCPUなので、A₀~A₁₅がそのままアドレスになります。バス幅が16ビット以上の場合には少し複雑になります。

▶ 16ビットの場合

16ビットCPUが16ビット単位に限定してアクセスするのであれば、単純に1番地当たりのデータ幅を16ビットにすればよいのですが、現実には8ビット単位のアクセスが必要となります。

リード方向ならば16ビット単位で読み出して不要な8ビットぶんを無視するという方法も採れますが、ライト方向ではそのようなわけにはいかないので、バイト単位でアクセスできるしくみが必要です。

例えば、データ・バス幅が16ビットで、8ビット単位にアドレスを割り振っている場合、\$8000番地をワード(16ビット)アクセスすると\$8000と\$8001番地の両方にアクセスし、\$8001番地をバイト・アクセスしたときには\$8000番地はアクセスしないよう

にする必要があります。データ・バスをD₀~D₁₅、CPUがx86(リトル・エンディアン)であれば表5-2のようになります。ビッグ・エンディアン(68000など)の場合には、上位と下位を逆にして読み替えます。

もし、\$8001番地からワード・アクセスした場合にどうなるのでしょうか。この場合は、68000のようにアクセスそのものを許さないもの(アドレス・エラーとなる)と、8086のように2回のバイト・アクセス(\$8001番地アクセスに続いて\$8002番地アクセス)に分割して動作するものがあります。2回のアクセス動作に分割されるため、そのぶん実行時間がかかります。

さて、このようなバイト単位でのアクセスに対応するため、16ビットCPUでは、通常アドレス自体はA₁からとして、下位8ビット、上位8ビットをそれぞれ使用するか否かを示す信号を用意しています。図5-2はこの一例です。ここでは68000風にLDSとにUDSという名前を付けています。

なお、8086は、にLDSではなくA₀とアドレス扱いにして、にUDSはBHEとし、これがそのままISAバスの信号名としても引き継がれています。

▶ 32ビットの場合

32ビットになると、バイト、ワード、ロング・ワード・アクセスのすべてに対応しなくてはならないため、図5-3のようにアドレス・バスはA₂からになり、8ビットごとに使用されるか否かを示すBE信号が四つ用意されるのが一般的です。