

高速デジタル・データ伝送入門

第10回 DDR SDRAMに見るボード内の高速信号伝送方式

志田 晟
Akira Shida

はじめに

前回までは、USBやLVDSなど、主にユニット間で比較的長い信号線路を通して高速差動伝送する方式について説明してきました。今回からはパソコンのマザーボードなど、主に基板内で使われる数百Mbpsの信号伝送について説明します。

基板内で使用される高速信号伝送規格

図10-1はボード内、ボード間、ユニット間の用途に分けて、いくつかの信号伝送規格を示したものです。厳密ではありませんが、図中に示した規格は上に行くほど高速なものです。

ここに示したものの以外にも多くの規格があります。また、今後さらなる伝送速度の向上にともなって、新たな高速伝送規格がでてくると考えられます。

今回は、この中でボード内の信号伝送規格の一つであるDDR SDRAMに使われている、SSTLという伝送方式について説明します。

〈図10-1〉 いろいろな高速信号伝送の規格

	ボード内	ボード間	ユニット間
差動伝送	PCI Express		
	RapidIO/HyperTransport		シリアルATA
		LVDS	
シングルエンド			USB2.0
			IEEE1394
	PCI-X/x2.0		ATA
	DDR SDRAM		EIA-232
	PCI		IEEE1284

ボード内の一般的なIC間伝送方式

汎用デジタルICの主流…LVTTTL

LVTTTL (Low Voltage Transistor - Transistor Logic) とは、現在主流になっている汎用デジタルICです。TTLという名前がついていますが、図10-2でわかるように、ICの内部は一般的なHCMOSを3.3V電源で使用すると基本的に同じです。線路の送端、受端とも、抵抗を配置しないで伝送しています。

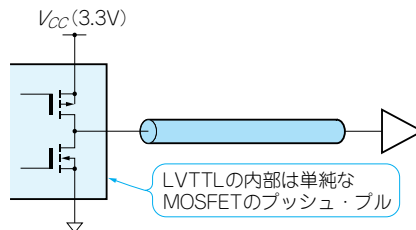
● 受端のインピーダンスが高いため信号が全反射する

LVTTTL方式の場合、線路の特性インピーダンスは規定されていません。したがって、プリント基板上における線路の特性インピーダンスは、一般的な50～100Ω程度となります。受端のインピーダンスは線路の特性インピーダンスに比べて非常に高く、受端に届いた信号は受端で全反射します。なお、入力インピーダンスは規定されていませんが、線路の特性インピーダンスに比較的近い20～40Ω程度です。

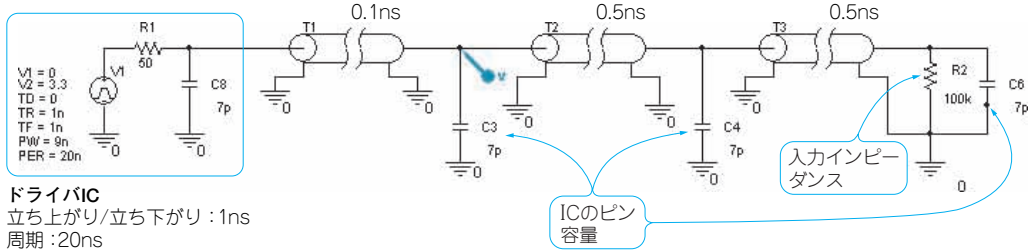
● LVTTTLでは送端近くの立ち上がり波形に段がつく

図10-3は、LVTTTLの信号伝送をSPICEでシミュレーションするためのモデルです。線路は、約15cmのプリント・パターンをガラス・エポキシ基板上に引いた場合を想定しています。線路の長さは信号の遅れ時間で設定し、T1を0.1ns、T2を0.5ns、T3を0.5nsとしました。

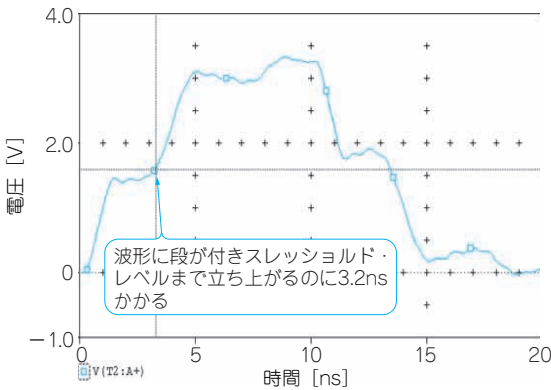
〈図10-2〉 LVTTTLはHCMOSと同じ回路を3.3Vで動かしているだけ



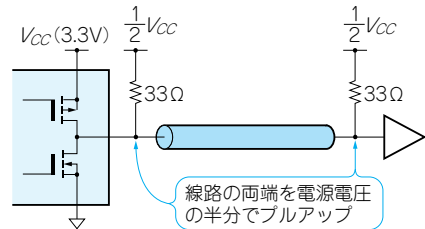
〈図 10-3〉 LVTTL の信号伝送をシミュレーションする回路



〈図 10-4〉 LVTTL の信号伝送をシミュレーションした結果



〈図 10-5〉 T-LVTTL は線路の両端を電源電圧の半分でプルアップしている



に、さらに長い時間がかかるようになります。

■ 立ち上がりの段を消して 高速に信号を伝える… T-LVTTL

左端のV1はパルス電圧源で、立ち上がり/立ち下がり時間を1ns、Hレベル/Lレベルの幅を50%ずつ、周期を20ns(50MHz)に設定しています。電圧波形の観測はドライバから0.1nsぶん線路を進んだところで観測しています。なお、線路の各つなぎ目にICのピン容量として、7pFのコンデンサを付加しています。

図10-4は、図10-3で電圧マークを置いた点の電圧をシミュレーションした結果です。結果を見ると、1.4V程度までは約1nsで立ち上がっています。しかし波形に段が付いているため、LVTTLのスレッシュ・レベルを1.6Vとすると、Hレベルと判定するまでに約3.2nsかかるのがわかります。

● ドライバの電流容量を上げて高速な伝送はできない

さらに高速に伝送するためには、電流容量の大きな(内部抵抗の低い)ICを使えば良いのでしょうか。集中定数回路の扱いで、配線パターンを単に容量として考えるなら、それでも良いように思えます。しかし図10-4で見られる波形は図10-3でわかるように、ICの出力に伝送線路がつながっていることによって生じています。

連載第3回(2003年6月号)で説明していますが、電流容量が大きいICを負荷側がハイ・インピーダンスの伝送回路で使うと、一般的にリングングがより大きくなってしまいます。そのため正しく信号を伝えるの

図10-4に示したシミュレーション結果からわかるように、LVTTLでは素直に波形が立ち上がらず、受信側のICが動作するまで時間がかかっています。この問題を解決するために考案された方式の一つがT-LVTTL(Terminated LVTTL)です。

T-LVTTLの回路を図10-5に示します。線路の両端を、電源電圧の約半分の1.5Vでプルアップしています。プルアップの抵抗は、線路の特性インピーダンスよりも小さい33Ω程度のもが使われます。

● 線路の両端を抵抗でプルアップすると立ち上がりの段が消えて高速に伝送できる

図10-7は、図10-6の回路をシミュレーションした結果です。電源のパルス波形や伝送線路のパラメータなどは図10-3と同じです。伝送線路の両端に33Ωの抵抗を配置し、電源電圧の約半分の1.5Vでプルアップしています。

図10-7には図10-4の結果も重ねて示しています。スレッシュ・レベルを同じく1.6Vとすると、0.7nsでHレベルと判定できます。LVTTLの場合と比べると、かなり高速に応答していることがわかります。ただし、低い抵抗値でプルアップしているため、レベルが1V程度にもち上がっています。そのため、T-LVTTLでは受信側のスレッシュ・レベルを1.6V程度にして、問題がないようにしています。

